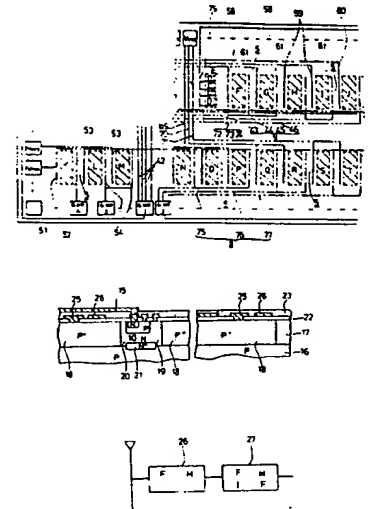


**(54) SEMICONDUCTOR INTEGRATED CIRCUIT**

(11) 2-23662 (A) (43) 25.1.1990 (19) JP  
 (21) Appl. No. 63-173009 (22) 12.7.1988  
 (71) SANYO ELECTRIC CO LTD (72) KAZUO TOMIZUKA(1)  
 (51) Int. Cl<sup>5</sup>. H01L27/118, H01L21/82, H01L27/04, H04B1/08

**PURPOSE:** To form an FM-IF block and an FM front/end block as one chip by providing extraction electrodes for extracting a leakage current through a semiconductor substrate on the side of the FM-IF block corresponding to the side of the FM front/end block.

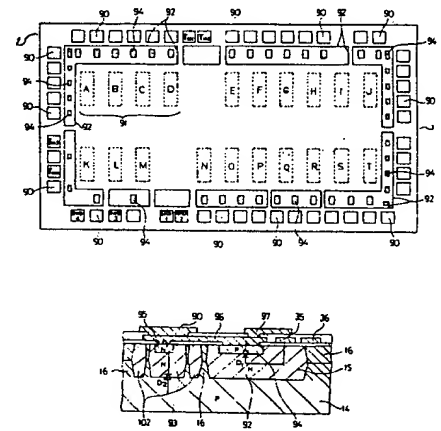
**CONSTITUTION:** An FM front/end block 26 is integrated in mats K-M, and an FM-IF block 27 which has a limiter circuit to remove an AM portion in an FM signal, is integrated in mats E and F. MOS type capacitors existent in the limiter circuit are formed in islands, respectively, and produce leakage toward a substrate owing to a capacitor due to a PN junction formed by the island 19. A PN junction barrier is formed with use of an N type epitaxial layer 17 to prevent the leakage current from invading into the block 26. Additionally, the capacitors are jointly disposed in the mat E which is further adapted to include extraction electrodes 43, 79 on the left side and on the lower side and a contact as an isolator region for extracting the leakage current collectively. Thus, the blocks 26, 27 can be constructed as an one chip.

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT**

(11) 2-23663 (A) (43) 25.1.1990 (19) JP  
 (21) Appl. No. 63-173012 (22) 12.7.1988  
 (71) SANYO ELECTRIC CO LTD (72) KAZUO TOMIZUKA(1)  
 (51) Int. Cl<sup>5</sup>. H01L27/118, H01L21/82, H01L27/04, H04B1/08

**PURPOSE:** To assure a layout systematically substantially without influencing on a pattern arrangement of a block region by providing a plurality of pads for each block region and forming a protective diode using a lower layer region.

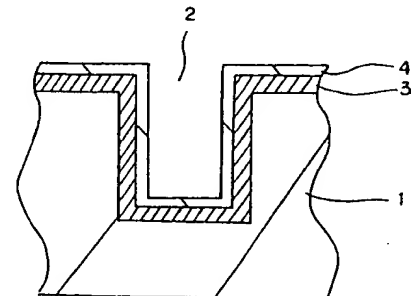
**CONSTITUTION:** Pads 90, which are employed for an input/output signal to/from a semiconductor chip 1, are provided around the chip 1 for each electronic circuit block. An N type first diffusion region 92 is provided in a region in a lower substrate of power supply lines 35, 36, 37, 38 where there is formed nothing, an N type second diffusion region 93 is provided in a lower layer of the pad 90, and a p type third diffusion region 94 is provided in the region 92. These regions 92, 93, 94 are a cathode of a diode D1, a cathode of a diode D2, and an anode of the diode D1. Additionally, an anode of the diode D2 serves as a p type semiconductor substrate. The region 92 is provided by one for each block region, so that even if any noise enters the region 92, only this block region is interfered without influence on any other block region. Thus, a layout is systematically assured substantially influencing on a pattern arrangement of the block region.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 2-23664 (A) (43) 25.1.1990 (19) JP  
 (21) Appl. No. 63-174129 (22) 12.7.1988  
 (71) SEIKO EPSON CORP (72) SEIICHI IWAMATSU  
 (51) Int. Cl<sup>5</sup>. H01L27/12, H01L21/76, H01L29/784

**PURPOSE:** To assure as an SOI structure a MOS LSI using a trench gate and a trench capacitor by forming the SOI structure by implanting the side wall of a trench formed on an Si substrate surface with oxygen ions or hydrogen ions.

**CONSTITUTION:** An SOI structure is formed at least in a trench by forming the trench section 2 from an Si substrate 1 surface by photolithography and dry etching, forming an ion implanted-layer 3 by implanting the trench section with oxygen by changing an angle of implantation, and forming an about 0.1 μm thick Si film 4 at least in the trench section 2, and further changing the layer 3 to an oxide film layer by annealing. Once an oxide film has previously been formed on a surface or a flat surface outside the trench section 2, the surface of the layer 3 can be confined in the oxide film. Hereby, only the interior of the trench can be constructed as the SOI structure by later oxidizing only the portion of the film 4 outside the trench section 2. The trench SOI structure can be used as a gate section of a trench-gate MOS FET and a capacitor section of a trench-capacitor.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-23664

⑬ Int. Cl.<sup>9</sup>

H 01 L 27/12  
21/76  
29/784

識別記号

R

庁内整理番号

7514-5F  
7638-5F

⑭ 公開 平成2年(1990)1月25日

8422-5F H 01 L 29/78 3 0 1 V

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-174129

⑰ 出 願 昭63(1988)7月12日

⑱ 発 明 者 岩 松 誠 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 上柳 雅 菅 外1名

明 細 書

S O I 構造製造方法があった。

1. 発明の名称

半導体装置の製造方法

[ 発明が解決しようとする課題 ]

しかし、上記従来技術によると、最近の M O S  
L S I のトレンチ・ゲート化あるいはトレンチ・  
キャパシタ化による高集積化には、薄い S i 膜内  
にはトレンチ・ゲートやトレンチ・キャパシタを  
製作することが全く出来ないと云う課題があった  
。

2. 特許請求の範囲

S i 基板表面からはトレンチが形成され、該ト  
レンチの側壁に酸素イオンあるいは窒素イオンの  
いずれかあるいは双方をイオン打込みし、いわゆ  
る S O I ( Silicon On Insulator ) 構造と  
なす事の特徴とする半導体装置の製造方法。

本発明はかかる従来技術の課題をなくし、トレ  
ンチ・ゲートやトレンチ・キャパシタを用いた M  
O S L S I の S O I 化を可能とする新しい製造  
方法を提供する事を目的とする。

3. 発明の詳細な説明

[ 産業上の利用分野 ]

本発明はトレンチ構造 M O S L S I の S O I  
構造化の為の製造方法に関する。

[ 課題を解決するための手段 ]

上記課題を解決するために、本発明は半導体装  
置の製造方法に関し、S i 基板表面からはトレン  
チが形成され、該トレンチの側壁に酸素イオンあ  
るいは窒素イオンのいずれかあるいは双方をイオ  
ン打込みし、いわゆる S O I 構造となす手段をと

[ 従来の技術 ]

従来、M O S L S I の S O I 構造化としては  
S i 基板表面、平面への酸素イオン打込みによる

る。

〔実施例〕

以下、実施例により本発明を詳述する。

第1図は本発明の一実施例を示すトレンチ構造へのSOI構造適用を示す要部の断面図である。

すなわち、81基板1の表面から、ホト・リソグラフィとドライ・エッチングによりトレンチ部2を形成し、酸素イオン打込みを例えば200K eVで $10^{18}/\text{cm}^2$ 程度打込み角度を変えて行なう事により0.5 $\mu\text{m}$ 厚さ程度のイオン打込み層3と、0.1 $\mu\text{m}$ 厚さ程度の81膜4を少くともトレンチ部2内に形成し、前記イオン打込み層3は、アニール処理により酸化膜層となし、SOI構造を少くともトレンチ内に形成する事ができる。

もし、トレンチ部2外の表面、平面に予じめ酸化膜を形成して置くと、イオン打込み層3の表面を酸化膜内に閉じ込める事ができると共に、本例の如き場合には81膜4のトレンチ部2外の部分のみ後述酸化処理して平面部は酸化膜のみとなり

(8)

トレンチ内のみSOI構造となす事ができる。

この様にして形成されたトレンチSOI構造はトレンチ・ゲートMOS FETのゲート部や、トレンチ・キャパシタのキャパシタ部として用いる事が出来、とりわけトレンチ・キャパシタをダイナミックRAMの製作の場合の如く、2個並べて形成する場合にトレンチ・キャパシタ間の結晶欠陥によって誘起されるリーク電流による情報消えの現象を、イオン打込み層3の絶縁膜化による素子間分離が完全に行なうことによるリーク電流防止効果による情報消え現象の、防止を計ることができる。

〔発明の効果〕

本発明により、トレンチ構造MOS LSIのSOI構造化を計ることができ、MOS LSIの高集積化、高性能化を計ることができる効果がある。

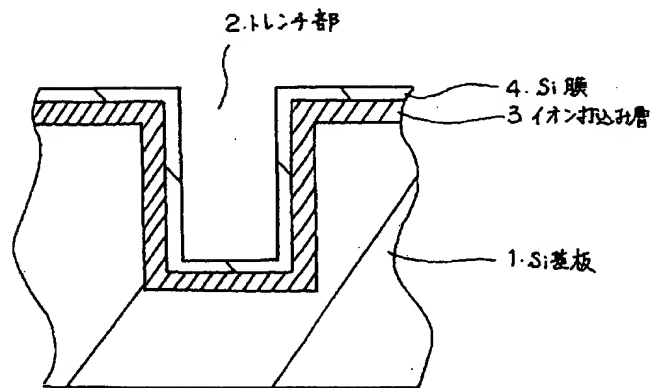
(4)

4. 図面の簡単な説明

第1図は本発明の一実施例を示すトレンチ構造のSOI化を示す要部の断面図である。

- 1 …… 81基板
- 2 …… トレンチ部
- 3 …… イオン打込み層
- 4 …… 81膜

以 上



第 1 図

出 願 人 セイコーエプソン株式会社  
代 理 人 弁理士 上柳雅彦(他1名)

(6)